

# PATENT ABSTRACTS OF JAPAN

Best Available Copy

(11)Publication number : 2000-078057  
 (43)Date of publication of application : 14.03.2000

(51)Int.CI. H04B 1/707  
 H04L 7/00

(21)Application number : 10-248152 (22)Date of filing : 02.09.1998	(71)Applicant : FUJITSU LTD (72)Inventor : KUBO NORIO MINOWA MORIHIKO SAWADA KENSUKE KAWAGUCHI NORIYUKI MATSUYAMA KOJI ASANO MASAHICO
---	---

## (54) SEARCH DEVICE OF CDMA RECEIVING DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enlarge the dynamic range of a correlative value in such a degree being equivalent to or more than the treatment of data as a true value and to reduce the number of its bits in a search device (searcher) for searching a synchronous timing with a spreading code sequence in the receiving signal of a CDMA receiving device.

**SOLUTION:** The searcher is provided with a correlator 1 for obtaining the correlation of the spreading code sequence concerning the receiving signal spread by spectrum by the spreading code sequence and a nonlinear converting means 2 for nonlinearly converting the output value of the correlator 1 or the value corresponding to it into the value of a smaller data width and permitting it to be correlative value information. The searcher is constituted to execute the search processing of the synchronous timing with the spreading code sequence in the receiving signal through the use of the nonlinearly converted correlation information.



### LEGAL STATUS

- [Date of request for examination] 19.07.2002
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-78057

(P2000-78057A)

(43)公開日 平成12年3月14日 (2000.3.14)

(51)Int.Cl.<sup>7</sup>

H 04 B 1/707

H 04 L 7/00

識別記号

F I

マーク (参考)

H 04 J 13/00

D 5 K 0 2 2

H 04 L 7/00

C 5 K 0 4 7

審査請求 未請求 請求項の数14 O.L (全 15 頁)

(21)出願番号

特願平10-248152

(22)出願日

平成10年9月2日 (1998.9.2)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 久保 徳郎

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 篠輪 守彦

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100087402

弁理士 小林 隆夫

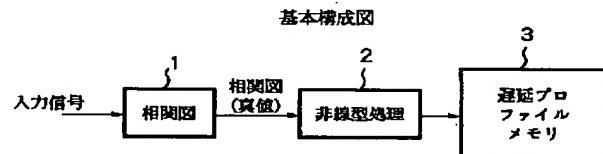
最終頁に続く

(54)【発明の名称】 CDMA受信装置のサーチ装置

(57)【要約】

【課題】本発明は、CDMA受信装置において受信信号中の拡散コード系列との同期タイミングをサーチするサーチ装置（サーチャー）に関し、真値としてデータを扱うのと同等もしくはそれ以上に相関値のダイナミックレンジを拡大すると共にそのビット数の削減を図ることを目的とする。

【解決手段】拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関値をとる相関器と、この相関器出力値もしくはそれに相応する値をより小さいデータ幅の値に非線形変換して相関値情報とする非線形変換手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成される。



## 【特許請求の範囲】

【請求項1】拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、この相関器出力値もしくはそれに相応する値をより小さいデータ幅の値に非線形変換して相関値情報とする非線形変換手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置。

【請求項2】拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、この相関器出力値をより小さいデータ幅の値に非線形変換して相関値情報とする非線形変換手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置。

【請求項3】拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、この相関器出力値をより小さいデータ幅に非線形変換された値による電力値へ変換して相関値情報とする変換手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置。

【請求項4】拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、この相関器出力値を電力値に変換する電力値変換手段と、該電力値に変換された相関器出力値をより小さいデータ幅の値に非線形変換して相関値情報とする非線形変化手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置。

【請求項5】拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、該相関器出力値をより小さいデータ幅の値に非線形処理する非線形処理手段と、該非線形処理された相関器出力値を電力値に変換して相関値情報とする電力値変換手段とを備え、該電力変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置。

【請求項6】該非線形変換手段による非線形変換は、入力信号値をその入力信号値よりも小さいデータ幅の値に対数化する処理である請求項1～5のいずれかに記載のCDMA受信装置のサーチ装置。

【請求項7】該非線形変換手段による非線形変換は、入力信号値をその入力信号値よりも小さいデータ幅の値に常用対数化する処理であり、

該電力値変換手段は真値の2乗演算を対数値のピットシ

フトにより実現するものである請求項4記載のCDMA受信装置のサーチ装置。

【請求項8】該相関器は複数シンボル分の整合フィルタを使用してそれら複数シンボルの相関値を振幅合成または絶対値合成して相関器出力値とするように構成した請求項1～7のいずれかに記載のCDMA受信装置のサーチ装置。

【請求項9】受信信号の信号フォーマットは、既知データである複数シンボルのパイロット信号が情報データ中に周期的に挿入されているものであり、

該相関器は複数シンボル分の整合フィルタを使用してそれら複数シンボルの相関値を振幅加算または絶対値加算して相関器出力値とするように構成したものであり、該相関器における振幅合成または絶対値合成により受信信号中の隣り合うパイロット信号に対しては真値において加算し、

情報データを挟んだパイロット信号のブロック同士においては2乗演算による電力変換を施して、対数加算手段で電力加算による巡回積分を行わせるように構成した請求項3～5のいずれかに記載のCDMA受信装置のサーチ装置。

【請求項10】適用されるCDMA受信機が受信信号の自動利得制御機能を備えており、

相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うにあたって、S/N比の向上を図るために相関値情報の巡回積分を行うように構成されており、

この巡回積分の際に受信信号を自動利得制御したゲインを用いて、相関値情報に対して対数による加減算をすることで、相関値情報における自動利得制御の影響をキャンセルするようにした請求項1～5のいずれかに記載のCDMA受信装置のサーチ装置。

【請求項11】前記の非線形変換および／または電力値変換の演算をメモリテーブルを用いて処理するように構成した請求項1～5のいずれかに記載のCDMA受信装置のサーチ装置。

【請求項12】該非線形変換手段は、複数の比較器であつて対数値のステップ幅で段階分けされた閾値がそれぞれ入力されて、入力信号を該閾値と比較するものと、これら比較器の出力信号を加算する加算器とを含み構成される請求項1～5のいずれかに記載のCDMA受信装置のサーチ装置。

【請求項13】該非線形変換手段は、真値による入力信号をN分割して、入力された入力信号がそのいずれの範囲に属するかを判断する判断手段と、その判断結果に応じて各比較器に入力する閾値を切り換える切換手段と、その判断結果に応じて加算器の出力信号に所定の対数値を加算する加算手段とを更に備えた請求項12記載のCDMA受信装置のサーチ装置。

【請求項14】相関値情報を用いて受信信号中の拡散コ

ード系列との同期タイミングのサーチ処理を行うにあたって相関値情報の巡回積分を行う場合に用いる対数加算を、加算される2つの対数値の差を求め、その差の値に相応する値を該2つの対数値のうちの大きい方に加算して加算結果とすることで行うようにした請求項1～5のいずれかに記載のCDMA受信装置のサーチ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CDMA受信装置において受信信号中の拡散コード系列との同期タイミングをサーチするサーチ装置（サーチャー）に関する。

【0002】直接拡散符号分割多元接続（DS-CDMA）方式等のCDMA方式を移動通信に適用した場合、バス検出を行って逆拡散コードのタイミングを検出するためのサーチャー機能は、受信装置において必須の機能である。このサーチャー機能を実現するにあたっては、相関器出力から得られる相関値情報のビット数の削減を図るとともに、そのダイナミックレンジを従来と同様もしくはそれ以上に拡大しつつできることが必要とされている。

【0003】

【従来の技術】図17には移動体通信等で用いられる符号分割多元接続（CDMA）方式の構成概念が示される。図示するように、送信側では、情報データ（例えば10 kbpsのレート）を変調器81を用いて拡散コード系列（例えば1 Mcpsのレート）で変調してスペクトル拡散を行い、送信機82で無線送信する。受信側では、スペクトル拡散された無線波を受信機85で受信し、拡散コード発生器87で発生した送信側と同じパターンの拡散コード系列を、逆変調器86により受信波に乗じることで逆拡散を行って元の情報データを復調する。この逆拡散を行う際、拡散コード発生器87で発生した拡散コード系列と受信波中の拡散コード系列との同期をとるために、サーチ装置88は受信波中の拡散コード系列の入力タイミングを検出し、拡散コード発生器87に対してその発生する拡散コード系列が受信波中の拡散コード系列と同期するようその発生タイミングを指示する。

【0004】図18にはこのサーチ装置88の構成例が示される。図示するように、入力信号（例えば8ビット並列信号）はまず相関器90に入力される。相関器90は、入力信号が逐次に入力される多段のシフトレジスタ91と、拡散コード系列の一部（例えばパイラット信号）を記憶するメモリ92と、シフトレジスタ91の出力系列とメモリ92の出力系列とを各チップ毎に比較（具体的には排他的論理和演算）して両者が一致した時に“H”レベル信号を出力する比較器93と、各比較器93の出力を加算する加算器94とからなる。この相関器90は、逐次に入力される受信波中の拡散コード系列がメモリ92にセットされている拡散コード系列（一部）と一致した時にその出力として最大振幅を出力する

ものであり、それにより受信波中の拡散コード系列の入力タイミングを検知する。

【0005】相関器90の出力値（例えば10ビット）は次に乗算器95により2乗計算されて電力値（例えば20ビット）に変換され、加算器96を介して遅延プロファイルメモリ97に遅延プロファイルとして格納される。この遅延プロファイルデータは、逐次に入力される電力値が加算器96で巡回積分により累積加算されることで生成される。

【0006】

【発明が解決しようとする課題】従来のサーチ装置においては、相関器90の出力以降、データは真値で扱われている。このため、例えば10ビットの相関値を電力のディメンジョンに変換（2乗演算）すると、20ビットにデータ幅が拡大することになる。この結果、演算の回路規模が増大すると共に、演算速度が低下する。また遅延プロファイルを格納しておくためのメモリ量も増大する。

【0007】このため、従来は、例えば20ビットに拡大したデータ幅の下位10ビットを削除して上位10ビットだけで処理を行うなどしてデータ幅を縮小していたが、この場合には必然的にデータのダイナミックレンジが小さくなってしまうという問題がある。

【0008】また、たとえ20ビットのデータ幅においても、データのダイナミックレンジは60デシベル(dB)しかなく、さらにダイナミックレンジを拡大できる手法が望まれる。

【0009】また、同様の問題は、相関器出力値を電力変換して処理する場合だけでなく、相関器出力値をそのまま利用してサーチ動作を行うような場合についても言えるものであり、相関器出力値を、少ないデータ幅でかつダイナミックレンジを広くとれるようにしてサーチ動作に利用できることが必要とされている。

【0010】本発明は、かかる問題点に鑑みてなされたものであり、サーチ動作において用いる相関値の情報を非線形処理するという着想に基づき、真値としてデータを扱うのと同等もしくはそれ以上に相関値のダイナミックレンジを拡大すると共にそのビット数の削減を図ることを目的とする。

【0011】

【課題を解決するための手段および作用】上述の課題を解決するために、本発明においては、第1の形態として、拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、この相関器出力値もしくはそれに相応する値をより小さいデータ幅の値に非線形変換して相関値情報をとする非線形変換手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行なうように構成されたCDMA受信装置のサーチ装置が提供される。このサーチ装置によれば、サーチ

5

動作に用いる相関値情報を、真値としてデータを扱うのと同等もしくはそれ以上にダイナミックレンジを拡大しつつ、データ幅（ビット数）の削減を図ることができ、このデータを用いてサーチ処理を行うことで、回路規模の削減や演算速度の向上が可能となる。

【0012】また本発明においては、第2の形態として、拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、この相関器出力値をより小さいデータ幅の値に非線形変換して相関値情報とする非線形変換手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置が提供される。このサーチ装置によれば、サーチ動作に用いる相関値情報を、真値としてデータを扱うのと同等もしくはそれ以上にダイナミックレンジを拡大しつつ、データ幅（ビット数）の削減を図ることができ、このデータを用いてサーチ処理を行うことで、回路規模の削減や演算速度の向上が可能となる。

【0013】また本発明においては、第3の形態として、拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、この相関器出力値をより小さいデータ幅に非線形変換された値による電力値へ変換して相関値情報とする変換手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置が提供される。このサーチ装置によれば、サーチ動作に用いる相関値情報を、真値としてデータを扱うのと同等もしくはそれ以上にダイナミックレンジを拡大しつつ、データ幅（ビット数）の削減を図ることができ、この相関値情報を用いてサーチ処理を行うことで、回路規模の削減や演算速度の向上が可能となる。

【0014】また本発明においては、第4の形態として、拡散コード系列でスペクトル拡散された受信信号について該拡散コード系列の相関をとる相関器と、この相関器出力値を電力値に変換する電力値変換手段と、該電力値に変換された相関器出力値をより小さいデータ幅の値に非線形変換して相関値情報とする非線形変換手段とを備え、該非線形変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置が提供される。このサーチ装置によれば、サーチ動作に用いる相関値情報を、真値としてデータを扱うのと同等もしくはそれ以上にダイナミックレンジを拡大しつつ、データ幅（ビット数）の削減を図ることができ、この相関値情報を用いてサーチ処理を行うことで、回路規模の削減や演算速度の向上が可能となる。

【0015】また本発明においては、第5の形態として、拡散コード系列でスペクトル拡散された受信信号に

6

ついて該拡散コード系列の相関をとる相関器と、該相関器出力値をより小さいデータ幅の値に非線形変換する非線形変換手段と、該非線形変換された相関器出力値を電力値に変換して相関値情報とする電力値変換手段とを備え、該電力値変換された相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うように構成されたCDMA受信装置のサーチ装置が提供される。このサーチ装置によれば、サーチ処理に用いる相関値情報を、真値としてデータを扱うのと同等もしくはそれ以上にダイナミックレンジを拡大しつつ、データ幅（ビット数）の削減を図ることができ、この相関値情報を用いてサーチ処理を行うことで、回路規模の削減や演算速度の向上が可能となる。

10 【0016】上述の各形態において、非線形変換手段による非線形変換は、入力信号値をその入力信号値よりも小さいデータ幅の値に対数化する処理であるように構成できる。このように対数や $X^{1/n}$ （n乗根）等による処理をする。対数については底は限定しないが、底によりダイナミックレンジが変わる。代表的な底として10.

20  $e$ （2.7182）等があり、値が大きい程ダイナミックレンジが広くなる。

【0017】また上述の各形態において、該非線形変換手段による非線形変換は、入力信号値をその入力信号値よりも小さいデータ幅の値に常用対数化する処理であり、該電力値変換手段は真値の2乗演算を対数値のビットシフトにより実現するように構成できる。これにより、相関器出力値の電力変換には真値では2乗演算が必要となるところを、対数化することによりこの2乗演算が対数値での2倍演算だけとなり、この2倍演算はビットシフトで実現できるので、演算が簡単となり回路構成および回路規模の点で有利となる。

【0018】また上述の各形態において、該相関器は複数シンボル分の整合フィルタを使用してそれら複数シンボルの相関値を振幅合成または絶対値合成して相関器出力値とするように構成できる。

40 【0019】また上述の第3～5の形態において、受信信号の信号フォーマットは、既知データである複数シンボルのパイラット信号が情報データ中に周期的に挿入されているものであり、該相関器は複数シンボル分の整合フィルタを使用してそれら複数シンボルの相関値を振幅加算または絶対値加算して相関器出力値とするように構成したものであり、該相関器における振幅合成または絶対値合成により受信信号中の隣り合うパイラット信号に對しては真値において加算し、情報データを挟んだパイラット信号のブロック同士においては2乗演算による電力変換を施して、対数加算手段で電力加算による巡回積分を行わせるように構成できる。この連続するパイラット信号の振幅または絶対値合成により大幅にS/N比の向上が図れ、巡回積分の回数の削減や受信レベルの低着信状態でのサーチ動作の可能化を図れる。また、巡回積

50

分を電力加算により行って位相回転等の影響をなくすことができる。

【0020】また上述の各形態において、適用されるCDMA受信機が受信信号の自動利得制御機能を備えており、相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うにあたって、S/N比の向上を図るために相関値情報の巡回積分を行うように構成されており、この巡回積分の際に受信信号を自動利得制御したゲインを用いて、相関値情報に対して対数による加減算をすることで、相関値情報における自動利得制御の影響をキャンセルするように構成できる。このように、対数化することによりゲインのキャンセルを加減算で行うことが可能となり、回路規模、消費電力の削減が図られる。

【0021】また上述の各形態において、前記の非線形変換および/または電力値変換の演算をメモリテーブルを用いて処理するように構成できる。対数変換および対数加算等の対数における演算は一般に複雑な回路となるが、これをメモリテーブルを用いた簡単な回路で処理できる。

【0022】また上述の各形態において、該非線形変換手段は、複数の比較器であって対数値のステップ幅で段階分けされた閾値がそれぞれ入力されて、入力信号を該閾値と比較するものと、それら比較器の出力信号を加算する加算器とを含み構成するようにできる。この回路では、真値による入力信号の値に応じてその値に応じた比較器（例えば閾値がその値以下の全ての比較器）から出力信号が出され、その出力信号を加算することで対数化された信号を得ることができる。このようなロジックによる対数変換を行うようにすることで、上述のメモリテーブルを用いて対数変換を行うものに比べて、回路規模の点で有利となる。さらに、この非線形変換手段は、真値による入力信号をN分割して、入力された入力信号がそのいずれの範囲に属するかを判断する判断手段と、その判断結果に応じて各比較器に入力する閾値を切り換える切換え手段と、その判断結果に応じて加算器の出力信号に所定の対数値を加算する加算手段とを更に備える形に構成できる。このように判断手段により入力信号がN分割した何れの範囲に属するかを判定し、その範囲に応じて比較器の閾値を変えてやることで、閾値を前述の場合に比べてほぼ $1/N$ にすることができる。このように、前述のロジックによる対数変換の構成は、対数化の精度を上げるに従い比較器の数が増え回路規模が大きくなっていく問題点があるが、この構成とすることで比較器の数を減らし回路規模の削減を図ることができる。

【0023】また上述の各形態において、相関値情報を用いて受信信号中の拡散コード系列との同期タイミングのサーチ処理を行うにあたって相関値情報の巡回積分を行う場合に用いる対数加算を、加算される2つの対数値の差を求め、その差の値に相応する値を該2つの対数値

のうちの大きい方に加算して加算結果として行うように構成できる。対数変換および対数加算等の対数における演算は一般に複雑な回路となるが、かかる対数加算アルゴリズムに従い対数加算を行わせると、回路規模を削減することができる。

【0024】

【発明の実施の形態】以下、図面を参照して本発明の種々の実施形態を説明する。

【実施形態1】図1に本発明の実施形態1としてのサーチ装置の構成例を示す。相関器1には受信機で受信された受信信号（入力信号）が逐次に入力され、前述したように、その入力信号中の拡散コード系列と相関器1に予めセットされている拡散コード系列（一部）との相関が演算されて、その演算結果の相関値が出力される。

【0025】通常、この相関器出力値は真値である。なおここでは、真値とはそれが取りうる最大値／最小値の間のいずれの箇所においても同じ数値幅を単位として増減する値をいうものとする。かかる真値である相関器出力値を、広いダイナミックレンジに対応させる場合には、非常に多くのビット数を必要とする。そのため、遅延プロファイルメモリ3のビット数が増え回路規模の増大が起こる。

【0026】そこで図1に示すように、相関器出力値を非線形処理部2で非線形処理して相関器出力値のビット数よりも少ないビット数からなる非線形値に変換し、データのビット数の削減を図っている。この非線形値とは、例えば対数値などのようなもので、その取りうる最大値／最小値の間の各箇所に応じて増減の単位である数値幅（ステップ幅）が異なるような値である。対数値の場合には例えば0.4dB/ステップなどのようにして、その値が小さい時は増減の単位である数値幅が小さく（狭く）、その値が大きい時にはその数値幅も大きく（広く）なる。

【0027】【実施形態2】実施形態2は、実施形態1における非線形処理方法の具体例として、相関器出力値（真値）に対して対数化およびn乗根による処理を行うよう構成したものであり、実施形態1における非線形処理部2が対数変換部に置き換えられる（図示しない）。その他の構成は図1に示した実施形態1と同様とする。

【0028】この実施形態2の対数変換部における対数化にあたっては、対数の底の値は何でも良いが、底が大きい程ダイナミックレンジが大きくなる。但し、あまり大きな底での変換を行うと、真値の値が大きい時に分解能によっては、真値同士の比較にあたって、その大小の区別ができなくなる場合があるので、注意が必要である。

【0029】【実施形態3】図2には本発明の実施形態3としてのサーチ装置の構成例が示される。この実施形態2は、実施形態1における非線形処理方法の具体例として、相関器出力（真値）に対して対数化およびn乗根

9

による処理を行うよう構成すると共に、対数変換後の相関器出力値（対数値）を巡回積分することで遅延プロファイルを生成するようにしたものである。

【0030】この実施形態3では、相関器として1シンボル長のタップ数を持つ整合フィルタ（MF）4を使用しており、この整合フィルタ4は真値により相関値を出力する。また、実施形態1における非線形処理部2が対数変換部5に置き換えられている。整合フィルタ4の相関器出力値（真値）はこの対数変換部5で対数値に対数変換され、その後、この相関器出力値（対数値）は対数加算部6により遅延プロファイルメモリ7の格納データと対数加算（対数同士の加算）されることで、決められた回数分の巡回積分が行われて、遅延プロファイルメモリ7において遅延プロファイルが生成される。

【0031】かかる構成とすることにより、遅延プロファイルメモリ7に格納する相関値データ（遅延プロファイル）等として、相関器出力値を真値で扱う場合と同等のダイナミックレンジを必要とする場合でも、対数変換後の相関器出力値（対数値）のビット数を減らすことができ、よって回路規模が小さくなる。

【0032】〔実施形態4〕図4には本発明の実施形態4としてのサーチ装置の構成が示される。この実施形態4は、図3に示すようにパイロット信号（既知データ）が情報データの間に等間隔で挿入されている信号フォーマットの入力信号に対して拡散コード系列の入力タイミングのサーチを行うものである。

【0033】図3において、この信号フォーマットでは、4つのパイロット信号P1～P4で1つのパイロットブロックが構成されており、このパイロットブロックが情報データを挟んで等間隔に連続して配置されているものであり、例えば各パイロット信号P1、P2、P3、P4間の時間間隔は125μS、各パイロットブロック間の時間間隔は625μSとなっている。かかる信号フォーマットでは、1つのパイロットブロック内の各パイロット信号P1、P2、P3、P4では時間間隔が小さいため位相回転等の影響が少ないのでこれらを電圧加算（振幅合成）して1つの相関値データとすることができますが、各パイロットブロック間では時間間隔が大きいため位相回転等の影響を受ける可能性があるので、各パイロットブロック同士のデータは電圧加算することは適当でなく、そのため2乗演算して電力値に変換して電力加算とすることが必要である。

【0034】すなわち、サーチ装置は、このような信号フォーマットの入力信号に対して、連続するパイロット信号P1～P4から相関値を検出し電圧加算を行って相関器出力値（真値）とする。そして、情報データを挟んだパイロットブロック同士では、各パイロットブロックの相関器出力値（真値）に対して2乗演算を施して電力値に変換した後に、それら各パイロットブロックの相関器出力値の2乗値同士を加算（電力加算）する。このよ

10

うに、連続するパイロット信号の相関値の電圧加算（振幅合成）を行うことにより大幅にS/Nの向上が図れ、そのため、巡回積分の回数を減らすことや、受信レベルがより低着信の状態においてサーチ動作が可能となる。

【0035】図4に示した実施形態4の構成は、上述のサーチ動作を実現するものある。図3の信号フォーマットの例では4シンボルのパイロット信号P1～P4が連続しているので、実施形態4の相関器である整合フィルタ8では4シンボルの電圧加算（振幅合成）を行って相関器出力値として出力するよう構成してある。

【0036】その後、この整合フィルタ8からの相関器出力値に対して、連続しないパイロットブロックとの電力加算のために、乗算器9で2乗演算を施して電力値に変換する。この2乗演算により電力値データのビット数が増大することになるが、本発明では、この電力値に対してさらに対数変換部5で常用対数変換処理を行って常用対数化を行い、それにより電力値データのビット数の削減を実行している。

【0037】例えば、整合フィルタ8の相関器出力値が16ビット幅であった場合は、2乗演算により32ビットになり、このビット数の増大による回路規模の増大や処理速度の低下などその後の回路部分におけるインパクトはかなり大きいと言える。しかし、この実施形態4のように常用対数化を行うと、32ビットと同じダイナミックレンジをわずか8ビット（但し、分解能を0.375dBとした場合）で実現することができる。

【0038】常用対数化した電力値は、前述の実施形態3と同様に、対数加算部7と遅延プロファイルメモリ7を用いて巡回積分し、その結果として得られる遅延プロファイルは遅延プロファイルメモリ7に格納する。

【0039】〔実施形態5〕図5には本発明の実施形態5としてのサーチ装置の構成が示される。実施形態4においては、1つのパイロットブロックにおける連続するパイロット信号P1～P4から相関値を検出して電圧加算を行い、さらに情報データを挟んだパイロットブロック同士では2乗演算を施してそれらの2乗演算データ同士は電力加算としているが、この実施形態5（図5）は連続するパイロット信号P1～P4に対して、実施形態4での電圧加算に換えて、絶対値加算（各パイロット信号P1～P4の相関値の絶対値を求めて加算）を行い、情報データを挟んだパイロットブロック同士では、実施形態4と同様に、2乗演算を施して電力加算とするものである。

【0040】この実施形態5では、絶対値加算した相関器出力値を、実施形態4と同様に、電力値に変換した後で、対数変換部5により対数化を行い、データのビット数の削減を実行している。

【0041】〔実施形態6〕図6には本発明の実施形態6としてのサーチ装置が示される。実施形態4の構成では、相関器出力値を2乗演算後に対数化しているが、図

11

6に示すように、この実施形態6の構成では、整合フィルタ8の相関器出力値をまず対数変換部10で対数変換し、その変換された相関器出力値（対数値）に対してビットシフトを行うことで電力値に変換している。このように、整合フィルタ8での電圧加算（振幅合成）後すぐにその相関器出力値の対数化を行うと、真値の2乗演算は対数では単純な2倍演算となりこの2倍演算はビットシフトのみで実現できるので、電力値の演算をビットシフトで実現可能となる。よって、本構成により真値の2乗演算という回路規模や動作速度的にも非常に不利な演算を、ビットシフトのみを行う単純な回路で実現できるため、回路規模の大幅な削減が可能となる。

【0042】[実施形態7]図7には本発明の実施形態7としてのサーチャ装置の構成が示される。図8はこの実施形態7のサーチャ装置が適用されるCDMA線形受信装置を示すものであり、AGC（自動利得制御）機能を備えている。

【0043】図8において、51は無線受信波の雑音周波数を除く帯域フィルタ、52は無線受信波を線形増幅する線形増幅器、53は無線受信波を中間周波数帯へ変換する周波数変換器、54は中間周波数帯におけるAGC（自動利得制御）を行うための可変減衰器、55は受信波をIチャネルとQチャネルに復調する直交復調器、56と57はIチャネルデータとQチャネルデータとをそれぞれA/D変換して逆拡散部に出力するA/D変換器、58はIチャネルデータとQチャネルデータとの振幅値に基づいて可変減衰器54のゲイン（減衰率）を制御するための制御電圧を発生するAGC制御部、59はIチャネルデータとQチャネルデータを入力信号として受信波の拡散コード系列の同期をとるためのタイミング検出をするサーチ装置である。

【0044】この図7に示す線形受信装置においては、A/D変換器56、57のダイナミックレンジを十分生かすために、A/D変換器56、57への入力を一定にする目的でAGC機能を有しており、この構成例では中間周波数（1F）帯においてIF-AGCを有している構成としている。すなわち、このAGC機能では、A/D変換器56、57の出力値のレベルをAGC制御部58で検出し、この出力レベルが無線受信波の受信レベルの大小にかかわりなくほぼ一定になるように、可変減衰器54のゲインを調整している。

【0045】一方、サーチ装置59に入力される入力信号は、AGC機能のゲインを可変することで一定レベルとなったものが入力されている。この結果、AGCを持つ受信装置におけるサーチ装置59の相関器出力値は、仮に相関値が同じ値であったとしても、その相関値を検出した時の可変減衰器54のゲインが異なっている場合には、実質的には同じ大きさの相関値とはいえないことになる。

【0046】特に、これまで示してきた構成では、S/

10

12

N比の向上を目的として巡回積分を行っているが、この積分動作を行う際の相関値を求めた時のAGCのゲインがそれぞれ違っている可能性があり、よってこの積分動作を行う際には、AGCのゲインの違いをキャンセルする必要がある。すなわち、可変減衰器54で受信波に乗じたゲイン値で相関値を除算することで、相関値からAGCの影響をなくしている。このように、このゲインのキャンセル動作のためには、相関値を真値で扱う場合には、通常、乗算および除算が必要となる。一方、このキャンセル動作のための乗算および除算演算は、相関値を対数化することで加減算にことができる。

20

【0047】図8に示す実施形態7は、かかるAGCのゲインのキャンセル機構を備えたサーチ装置である。図8において、入力信号は前述した4シンボル分の整合フィルタ8に入力され、その相関器出力値は対数変換&2乗演算部10で対数変換され更に2乗演算されて、AGCゲインのキャンセル部12に入力される。このキャンセル部では、相関器出力値の2乗値（対数）に対してAGCのゲイン（対数）を加減算することで、前述した真値における乗除算を実現して、相関値におけるAGCゲインの影響をキャンセルしている。このキャンセル部12の出力は対数加算部6に入力されて、遅延プロファイルメモリ7の格納データと巡回積分されて遅延プロファイルが生成され、これが遅延プロファイルメモリ7に格納される。13は制御電圧／ゲイン変換部であり、この変換部13はAGC制御部58からのIF-AGC制御電圧をIF-AGCゲインに変換してキャンセル部12に入力する。

30

【0048】このように、この実施形態7では、相関値におけるAGCゲインの影響を除去したうえで相関値の巡回積分を行うようとしているので、受信装置の持つAGC機能のためにサーチ装置の動作が望ましくない影響を受けることを防止できる。さらに、相関器出力値を対数化してからAGCゲインのキャンセル演算を行っているので、その演算を単純な加減算で実現でき、よって回路規模、消費電力の削減が図られている。

40

【0049】[実施形態8]図9には本発明の実施形態8としてのサーチ装置が示される。前述してきた本発明によるサーチ装置の構成では、相関器出力値の対数変換回路および対数加算回路が必要となる。これら変換および演算動作は通常の加減算や乗除算で実現しにくいものである。そこで図9に示す実施形態8では、メモリテーブルを用いてこれらの演算処理を行うようとしている。

【0050】すなわち、図9において、整合フィルタ8からの相関器出力値（真値）を変換テーブル14に入力する。この変換テーブル14は、相関器出力値（真値）の各値に対してその値を対数変換かつ2乗演算した値を対応テーブルの形で予め対応づけて記憶したメモリからなり、整合フィルタ8からの相関器出力値（真値）をアドレス入力として、その相関器出力値に対応した変換値

13

(対数)を対数加算テーブル15に出力する。この対数加算テーブル15もまた、変換テーブル14からの相関値(対数)と遅延プロファイルメモリ7からの出力(対数)との各組合せに対して、その両者の対数加算値を対応テーブルの形で予め対応づけて記憶したメモリからなり、変換テーブル14からの相関値(対数)と遅延プロファイルメモリ7からの出力(対数)とをアドレス入力として、その対数加算値をデータ出力するようになっている。

【0051】[実施形態9]図10には本発明の実施形態9として、上述した各サーチ装置に用いられる対数変換&2乗演算を行う変換部分の構成例が示される。上述の実施形態8のメモリテーブルを用いて対数変換を行う方法は、装置を比較的簡単に実現できる方法として有用ではあるが、一方、メモリの回路規模および動作速度の点においては不利である。そこで、この実施形態9では図10に示す構成でロジックによる対数変換を行わせている。

【0052】この実施形態9は、16ビットの整合フィルタ出力(真値の振幅値)を8ビットの電力値(対数)に変換する回路の構成例であり、256個の比較器321～32256と256個の定数テーブル(図示しない)により構成されている。

【0053】整合フィルタからの相関器出力値(8ビットの真値データ)を絶対値変換部31に入力してその絶対値を求め、その絶対値出力を比較器321～32256のA入力端子に入力する。各比較器321～32256のB入力端子には、定数テーブル(図示しない)からそれぞれ定数X1～X256が入力されている。各比較器321～32256はA入力とB入力の大小比較を行って、A入力がB入力よりも大きいときに“1”を加算器33に出力する。加算器33は各比較器321～32256からの“1”出力を加算して、2乗演算した相関値を対数値として出力する。

【0054】各定数X1～X256は、相関器出力値(16ビットの真値)を2乗演算した値を、対数変換後のデータ幅である8ビットに対応する256ステップの対数値に変換する際ににおける、各ステップに対応する真値の閾値(ステップの上限値)に対応するものであり、このステップは相関器出力値が小さい時はステップ幅(真値)が小さく、相関器出力値が大きくなるに従って対数関数的にステップ幅(真値)が大きくなっている。具体的には、この実施形態9の構成では、0.4dB/ステップとして10.2dBのダイナミックレンジを持つようにしている。

【0055】[実施形態10]図11には本発明の実施形態10として、上述したサーチ装置に用いられる対数変換&2乗演算を行う変換部分の他の構成例が示される。上述の実施形態9の構成では、対数化の精度を上げるために、対数化したデータのビット数分の数だけ比

較器が必要となる。そこで、図11に示すように、比較器の数をほぼ半分の(128+1)個にし、最上段の比較器34により、入力された相関器出力値(真値)が対数値の半分(Y128)より上か下かの判断を行わせ、その結果により各比較器321～32256のB入力端子に入力する定数X1～X128を選択器36により選択する。また、比較器34により対数値の上半分と判断された場合には、選択器35で対数値128を選択して加算器38により加算器37の出力(対数値)に加算し、一方、対数値の下半分と判断された場合には加算する対数値を0とすることで、0～255の数値範囲の対数値出力を実現している。

【0056】この各定数切換えは、相関器出力値(真値)を対数幅の間隔(例えば0.4dB/ステップ)でY0～Y255の256ステップに分け、入力された相関器出力値(真値)が対数値の下半分であった場合にはY0～Y127を、また上半分であった場合にはY128～Y255をそれぞれ定数X1～X128として用いるものである。

【0057】この実施形態10の構成により、前述の実施形態9に比べて比較器の数がほぼ半分になる。

【0058】図12の実施形態の構成も同様な考え方に基づくものであり、相関器出力値(真値)を4分割して比較する定数を選択するようにし、比較器の数を前述の実施形態9に比べてほぼ1/4にしたものである。

【0059】すなわち、3つの比較器341～343で相関器出力値が4分割した範囲の何れに属するかを判断し、その判断結果に応じて、比較器321～3263に入力する定数X1～X63の値を切り換えるとともに、加算器39の出力値に加算する対数値を選択器41で0、64、128、192の中から選択する。また4分割した各範囲での相関器出力値を比較器321～3263で検出して、加算器39で加算して対数値とし、それに前述の対数値0、64、128または192を加算することで、最終的な0～255の範囲の対数値出力を得る。

【0060】[実施形態11]図13、図14は本発明の実施形態11を説明するための図であり、図13は対数加算アルゴリズムの例を示し、図14はこの対数加算アルゴリズムの原理を説明するためのテーブルである。

【0061】前述の実施形態8のメモリテーブルを用いて対数加算を行う方式では、メモリの回路規模および動作速度の点において不利である。そこで、この実施形態11では、図13に示すアルゴリズムに従い対数加算を行わせるものである。

【0062】例えば、対数値を0.4dB/ステップとして対数化を行っている場合(0.4dBの分解能の場合)、対数加算では、ある値A(dB)とある値B(dB)を加算した場合、AとBとの値の差が12.8dBより大きかった場合、加算結果はほぼ大きい方の値と同じになってしまう。よってAとBとの値の差△が12.8dB

15

(32) より小さい時のみ、その差 $\Delta$ がいくつかを計算し、その差 $\Delta$ に応じて決められる定数 $\delta$ を大きい値の方に加算してやれば良い。

【0063】図14はかかる関係を表に示したものであり、この図14の表によれば、A(dB)とB(dB)の差 $\Delta$ (dB)の大きさに応じて、所定の定数 $\delta$ をAとBのうちの大きい方に加算することで、A+B(dB)の値を求めることが分かることである。なお、この表中の括弧( )中の値はハードウェア上の値を表しており、1ステップ=0.4dBである。

【0064】図13の対数加算アルゴリズムでは、AとBの大小比較を行い(ステップS1)、例えばA>Bの時には、その差Y(= $\Delta$ dB)をY=A-Bで求め(ステップS2)、この差Yが32以上であれば、大きい方の値Aを加算結果の対数値C(= $A+B$ )とし、32以下であれば、その値に応じて、大きい方の値Aに所定の定数 $\delta$ を加算して、加算結果の対数値Cとする(ステップS7～S14)。また、A=Bの時には、AまたはBに8を加算して、加算結果の対数値Cとする(ステップS3)。また、A<Bの時には、大きい方の値としてBを用いることを除いては上述のステップS2、S5～S14と同様のことを行って、加算結果の対数値Cを求める(ステップS4、S15～S24)。

【0065】(実施形態12)図15、図16にはそれぞれ本発明の実施形態12として、上述したサーチ装置に用いられる対数加算を行う回路部分を、ロジック回路による対数加算で行う回路で構成する場合の例が示される。これらの回路は、図13のアルゴリズムを実際のハードウェア構成にしたものである。図15と図16の回路は基本的には同じものであるが、図15の構成の方が若干複雑な構成となるが、持つメモリの量(256ビット)が少なく、図16の方が構成が単純であるが図15の構成より若干メモリ量(2048ビット)が増える構成となっている。いずれの構成にしても回路規模は小規模ですむものである。

【0066】具体的には、図15に示す対数加算回路では、図13におけるステップS1の大小比較を比較器61で行い、その比較結果に応じて、スイッチ部62で、入力信号AとBがA>BであればA=X、B=Yに、A<BであればA=Y、B=Xとなるように、その出力を切り換えることで、ステップS5～S14とステップS15～S24との流れの切り換えに相当する処理を行っている。そして、減算器63で入力AとBの差をとる(ステップS5、S4に相当する処理)。この差が32より大きければ、AとBのうちの大きい方(=X)を加算結果(A+B)dBとして出力するようスイッチ65、69を切り換える。この差が32以下であればその差の値(0～31)に応じてROM67から定数 $\delta$ を読み出し、これを入力AとBのうちの大きい方(=X)に加算器60で加算して加算結果(A+B)dBとして出力する

16

ようスイッチ65、69を切り換える。また、A=Bである時には入力Aに加算器68で8を加算した値を選択して加算結果(A+B)dBとして出力するようスイッチ69を切り換える。

【0067】さらに図16に示す対数加算回路では、上述の減算器63以降の処理を行う回路部分をROMテーブル71に置き換えて処理を行っているものである。

【0068】

【発明の効果】以上説明した様に、本発明によりサーチャー機能においてそのダイナミックレンジを犠牲にすることなくビット数を減らすことが可能となり、回路規模、動作速度および消費電力の点で有利なサーチャーを実現することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1としてのサーチ装置の構成例を示す図である。

【図2】本発明の実施形態3としてのサーチ装置の構成例を示す図であり、相関器として整合フィルタを用い巡回積分を行わせた時の構成例である。

【図3】パイロット信号を用いて電力合成を行う方式で用いる信号フォーマット例を示す図である。

【図4】本発明の実施形態4としてのサーチ装置の構成例を示す図であり、パイロット信号相関値の電圧加算を行う構成例である。

【図5】本発明の実施形態5としてのサーチ装置の構成例を示す図であり、パイロット信号相関値の絶対値合算を行う構成例である。

【図6】本発明の実施形態6としてのサーチ装置の構成例を示す図であり、ビットシフトによる電力値変換を行う構成例である。

【図7】本発明の実施形態7としてのサーチ装置の構成例を示す図であり、IF-AGCゲインのキャンセル機能付きサーチ装置の構成例である。

【図8】IF-AGC機能を備えた受信機の構成例を示す図である。

【図9】本発明の実施形態8としてのサーチ装置の構成例を示す図であり、対数変換部分をメモリテーブルとした構成例である。

【図10】本発明の実施形態9としてのサーチ装置における対数変換部分の構成例を示す部分であり、ロジックによる対数変換を行う構成例1である。

【図11】本発明の実施形態10としてのサーチ装置における対数変換部分の他の構成例を示す部分であり、ロジックによる対数変換を行う構成例2である。

【図12】本発明の実施形態10としてのサーチ装置における対数変換部分のまた他の構成例を示す部分であり、ロジックによる対数変換を行う構成例3である。

【図13】本発明の実施形態11としてのサーチ装置における対数加算処理のアルゴリズム例を示す図である。

【図14】本発明の実施形態11としてのサーチ装置に

17

における対数加算処理のアルゴリズムを説明するためのテーブルであり、0.4dBステップでの対数加算例 (A dB + B dB) を示している。

【図15】本発明の実施形態12としてのサーチ装置における対数加算器の構成例を示すものであり、図13の対数加算アルゴリズムをハードウェア・ロジック回路で実現した場合の構成例1である。

【図16】本発明の実施形態12としてのサーチ装置における対数加算器の他の構成例を示すものであり、図13の対数加算アルゴリズムをハードウェア・ロジック回路で実現した場合の構成例2である。

【図17】CDMA方式の基本的な構成概念を説明するための図である。

【図18】サーチ装置の従来例を示す図である。

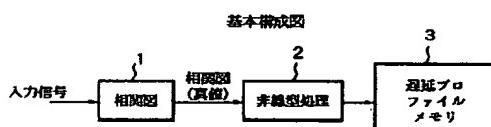
#### 【符号の説明】

- 1 相関器
- 2 非線形処理部
- 3、7 遅延プロファイルメモリ
- 4 1シンボル分の整合フィルタ (マッチド・フィルタ)
- 5 対数変換部
- 6 対数加算部
- 8 4シンボル分の整合フィルタ
- 9 電力変換部
- 11 ピットシフト回路

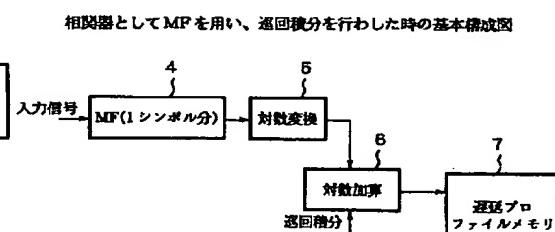
18

- 12 AGCゲインのキャンセル部
- 13 IF-AGCの制御電圧/ゲイン変換部
- 14 対数変換・電力変換テーブル
- 15 対数加算テーブル
- 31 絶対値変換部
- 32、34 比較器
- 33、37、38、39、40 加算器
- 35、36、41、42 選択器
- 51 帯域フィルタ
- 52 線形増幅器
- 53 ミキサ (周波数変換器)
- 54 AGC用の可変減衰器
- 55 直交復調器
- 56、57 A/D変換器
- 58 AGC制御部
- 59 サーチャー (サーチ装置)
- 60、68 加算器
- 61、64 比較器
- 62 スイッチ部
- 63 減算器
- 66 符号反転器
- 67 ROM
- 65、69 セレクタスイッチ
- 71 ROM

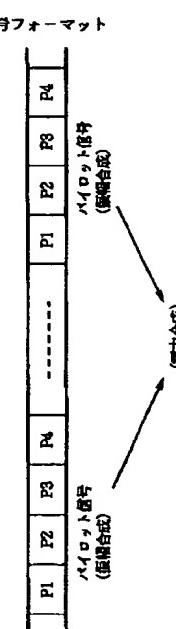
【図1】



【図2】

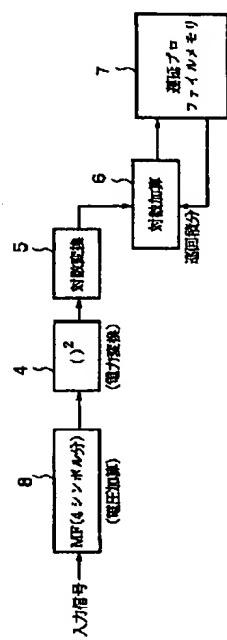


【図3】



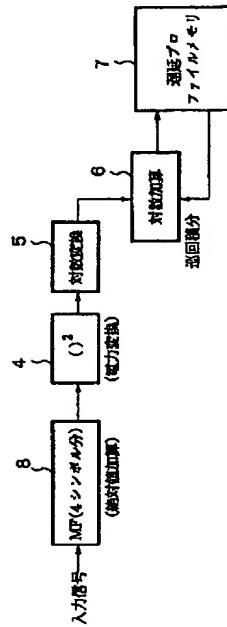
【図4】

電圧加算サーチャー基本構成図



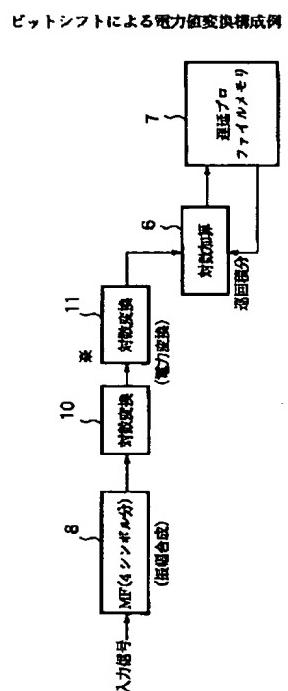
【図5】

絶対値加算サーチャー基本構成図



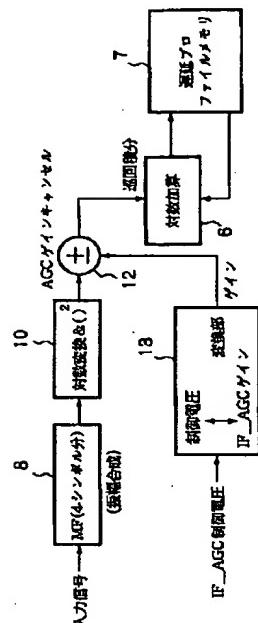
【図6】

ビットシフトによる電力値変換構成例



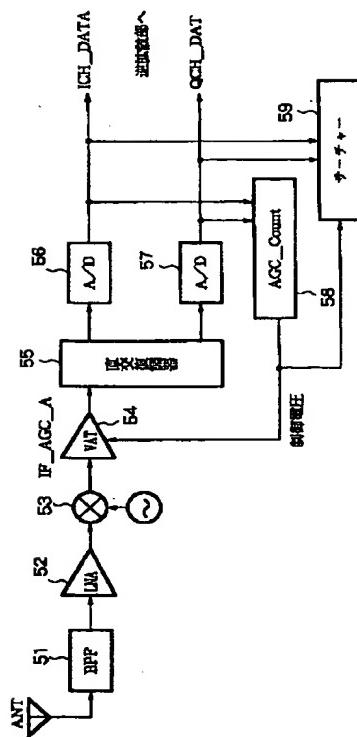
【図7】

IF\_AGCゲインキャンセル機能付サーチャー抗せり例



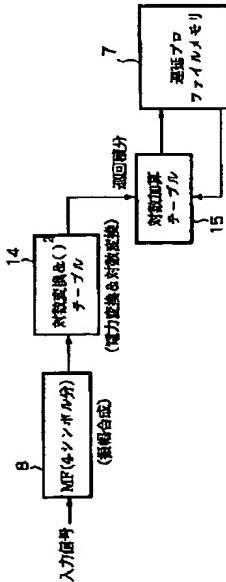
【図8】

受信機構成例



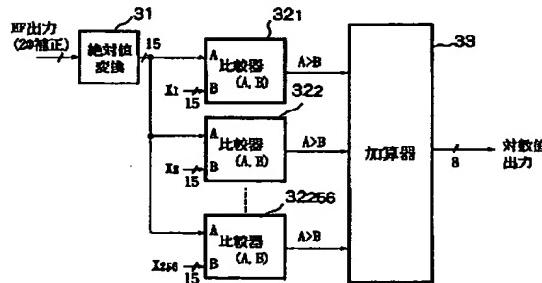
【図9】

メモリテーブルによる対数変換構成例



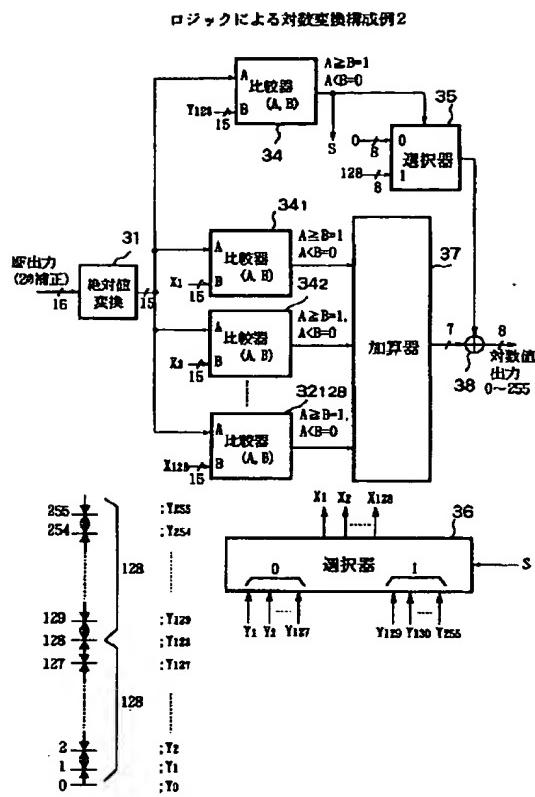
【図10】

ロジックによる対数変換構成例1

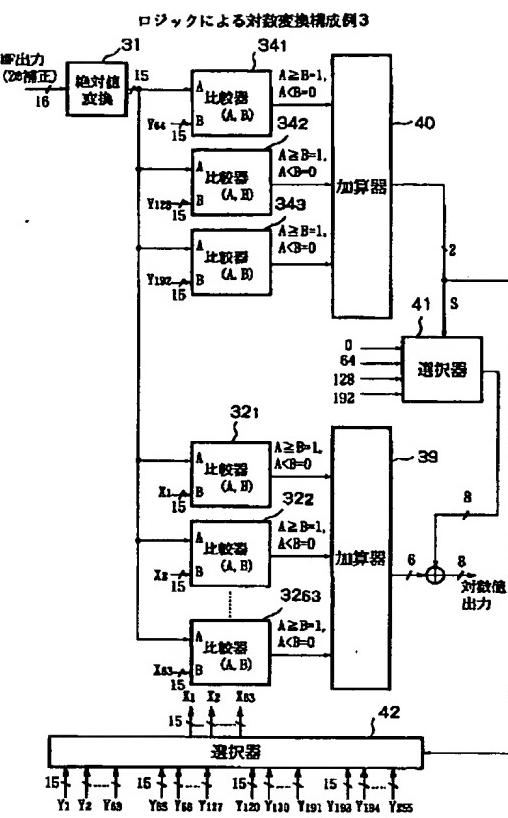


※  $X_1, X_2, \dots, X_{256}$ ; 定数 ... 対数変換と  $(\cdot)^2$  変換を行った際の各真値の閾値  
0.4dB/step として 102dB のダイナミックレンジを持つ

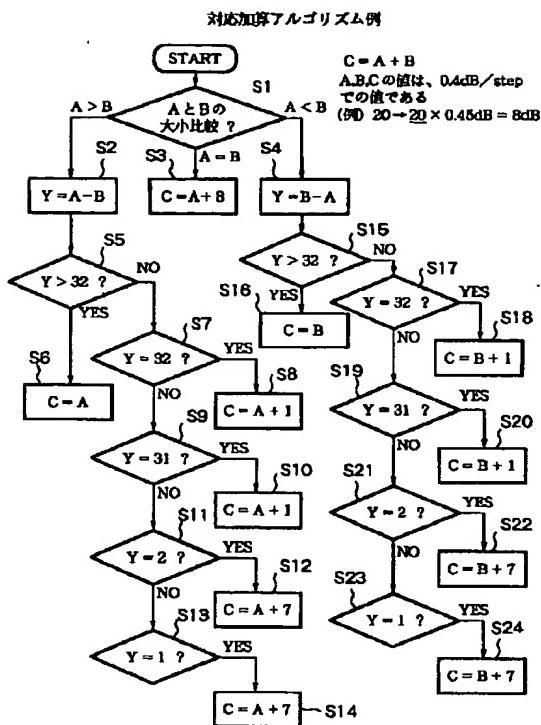
### 【図11】



[図12]



【図13】



【図14】

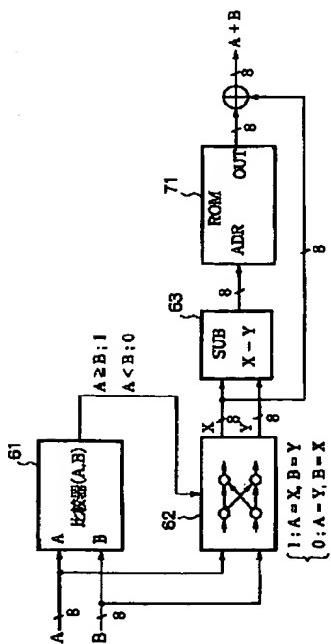
0.4dB ステップでの対数加算例 (A dB + B dB)

A dB	B dB	A dB	A + B dB	$\delta$
20.0(50)	6.4(16)	13.6(34)	20.0(50)	0.0(0)
20.0(50)	6.8(17)	13.2(33)	20.0(50)	0.0(0)
20.0(50)	7.2(18)	12.8(32)	20.4(51)	0.4(1)
20.0(50)	7.6(19)	12.4(31)	20.4(51)	0.4(1)
20.0(50)	8.0(20)	12.0(30)	20.4(51)	0.4(1)
20.0(50)	8.4(21)	11.6(29)	20.4(51)	0.4(1)
20.0(50)	8.8(22)	11.2(28)	20.4(51)	0.4(1)
20.0(50)	9.2(23)	10.8(27)	20.4(51)	0.4(1)
20.0(50)	9.6(24)	10.4(26)	20.4(51)	0.4(1)
20.0(50)	10.0(25)	10.0(25)	20.4(51)	0.4(1)
20.0(50)	10.4(26)	9.6(24)	20.4(51)	0.4(1)
20.0(50)	10.8(27)	9.2(23)	20.4(51)	0.4(1)
20.0(50)	11.2(28)	8.8(22)	20.4(51)	0.4(1)
20.0(50)	11.6(29)	8.4(21)	20.4(51)	0.4(1)
20.0(50)	12.0(30)	8.0(20)	20.8(52)	0.8(2)
20.0(50)	12.4(31)	7.6(19)	20.8(52)	0.8(2)
20.0(50)	12.8(32)	7.2(18)	20.8(52)	0.8(2)
20.0(50)	13.2(33)	6.8(17)	20.8(52)	0.8(2)
20.0(50)	13.6(34)	6.4(16)	20.8(52)	0.8(2)
20.0(50)	14.0(35)	6.0(15)	20.8(52)	0.8(2)
20.0(50)	14.4(36)	5.6(14)	20.8(52)	0.8(2)
20.0(50)	14.8(37)	5.2(13)	20.8(52)	0.8(2)
20.0(50)	15.2(38)	4.8(12)	21.2(53)	1.2(3)
20.0(50)	15.6(39)	4.4(11)	21.2(53)	1.2(3)
20.0(50)	16.0(40)	4.0(10)	21.6(54)	1.6(4)
20.0(50)	16.4(41)	3.6(9)	21.6(54)	1.6(4)
20.0(50)	16.8(42)	3.2(8)	21.6(54)	1.6(4)
20.0(50)	17.2(43)	2.8(7)	22.0(55)	2.0(6)
20.0(50)	17.6(44)	2.4(6)	22.0(55)	2.0(6)
20.0(50)	18.0(45)	2.0(5)	22.0(55)	2.0(6)
20.0(50)	18.4(46)	1.6(4)	22.4(56)	2.4(6)
20.0(50)	18.8(47)	1.2(3)	22.4(56)	2.4(6)
20.0(50)	19.2(48)	0.8(2)	22.8(57)	2.8(7)
20.0(50)	19.6(49)	0.4(1)	22.8(57)	2.8(7)
20.0(50)	20.0(50)	0.0(0)	23.2(58)	3.2(8)

※()中はハードウェア上の値を表現しており1ステップ=0.4dBである

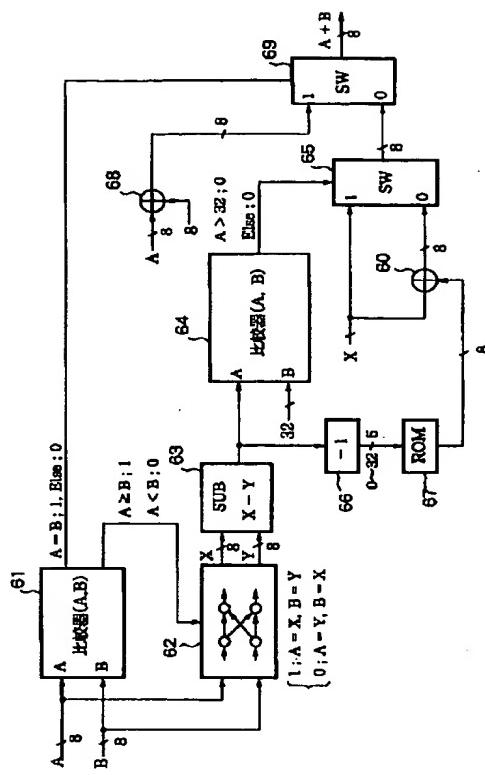
【図16】

ロジックによる対数加算構成例2



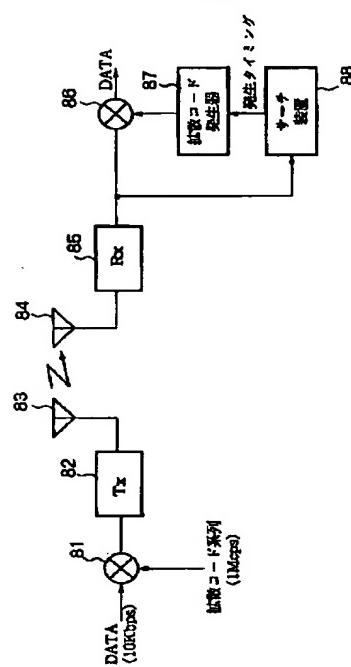
【図15】

ロジックによる対数加算構成例1



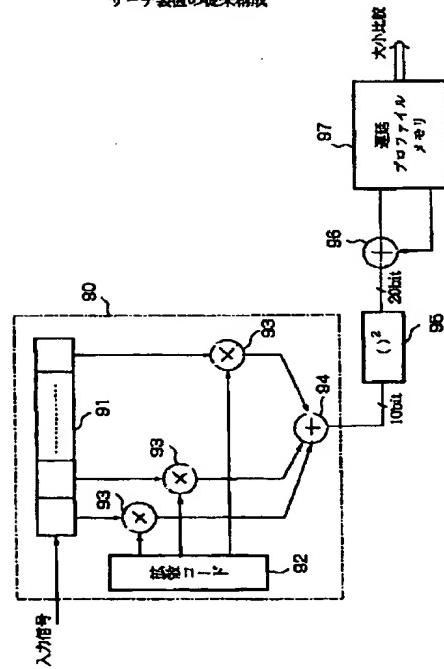
【図17】

CDMA方式の概念



【図18】

サーチ装置の従来構成



フロントページの続き

(72) 発明者 沢田 健介  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内  
(72) 発明者 川口 紀幸  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内

(72) 発明者 松山 幸二  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内  
(72) 発明者 浅野 賢彦  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内  
F ターム(参考) 5K022 EE02 EE13 EE36  
5K047 AA16 BB01 CC01 GG34 GG37  
HH03 HH15 HH55 MM24 MM35  
MM62

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**